

● EPODOC / EPO

PN - JP61144181 A 19860701
PD - 1986-07-01
PR - JP19840265309 19841218
OPD - 1984-12-18
TI - SAMPLING CLOCK REPRODUCING CIRCUIT
IN - NOGUUCHI MINORU; TANABE TOSHIYUKI
PA - TOKYO SHIBAURA ELECTRIC CO; TOSHIBA AUDIO VIDEO ENG
IC - H04N7/00 ; H04N7/08

● WPI / DERWENT

TI - Sampling-clock restoration circuit for teletext TV receiver - has optimum phase discriminator circuit which selects optimum clock
NoAbstract DWg 4/10
PR - JP19840265309 19841218
PN - JP61144181 A 19860701 DW198632 016pp
PA - (TOSA) TOSHIBA AUDIO VIDEO ENG CO
- (TOKE) TOSHIBA KK
IC - H04N7/08
OPD - 1984-12-18
AN - 1986-209995 [32]

● PAJ / JPO

PN - JP61144181 A 19860701
PD - 1986-07-01
AP - JP19840265309 19841218
IN - NOGUUCHI MINORU; others: 01
PA - TOSHIBA CORP; others: 01
TI - SAMPLING CLOCK REPRODUCING CIRCUIT
AB - PURPOSE: To reproduce sampling clock of exact phase by detecting change of polarity of a clock line signal at plural phase positions and determining optimum phase position from the phase distribution data.
- CONSTITUTION: One period of a clock line signal CRS is sampled plural bits in a sampling circuit 11 by plural clocks CK0-CK7 of different phase, and the state of polarity of the clock line signal CRS for plural clock phases is detected by a phase detecting circuit 12 from the sampling data of plural bits. An optimum phase deciding circuit 14 decides optimum phase of sampling clock using the state of polarity, and a clock selecting circuit 15 selects a clock signal

having the optimum phase out of plural clocks and makes it a sampling clock SAS. Thus, the reproduction of exact clock of sampling clock is made possible even if the duty ratio of signals for sampling synchronization changes.

I - H04N7/08 ;H04N7/00

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-144181

⑬ Int.Cl.⁴

H 04 N 7/08
7/00

識別記号

庁内整理番号

7013-5C
7013-5C

⑭ 公開 昭和61年(1986)7月1日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 サンプリグロック再生回路

⑯ 特 願 昭59-265309

⑰ 出 願 昭59(1984)12月18日

⑱ 発 明 者 野 口 稔 深谷市幡羅町1-9-2 東芝オーディオ・ビデオエンジニアリング株式会社深谷事業所内

⑲ 発 明 者 田 辺 俊 行 深谷市幡羅町1-9-2 株式会社東芝深谷工場内

⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

㉑ 出 願 人 東芝オーディオ・ビデオエンジニアリング株式会社 東京都港区新橋3丁目3番9号

㉒ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

サンプリグロック再生回路

2. 特許請求の範囲

サンプリグされるべきデータに先立って伝送されるクロックランイン信号の一周期を、該クロックランイン信号の一周期を位相分割した夫々位相の異なる複数のクロックで、夫々複数ビットサンプリグするサンプリグ回路と、

このサンプリグ回路から出力される各複数ビットのサンプルデータにより、前記クロックランイン信号の前記複数のクロックの位相に対する夫々の極性状態を検出する位相検出回路と、

この位相検出回路の各位相検出出力により、前記複数のクロックの位相から前記サンプリグされるべきデータをサンプリグするのに最適な位相を判定する最適位相判定回路と、

この最適位相判定回路により判定された最適位相を有するクロックを、前記位相の異なる複数のクロックから選択してサンプリグクロックとし

て出力するクロック選択回路とを具備したことを特徴とするサンプリグクロック再生回路。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、サンプリグクロック再生回路に係り、特に文字放送システムの受信装置等のようにデータに先立って伝送されるサンプリグ同期用のクロック信号を受信し、このクロック信号に正確に同期したサンプリグクロックを再生するサンプリグクロック再生回路に関する。

〔発明の技術的背景とその問題点〕

テレビジョン信号の垂直帰線期間内で今まで無信号部分であった水平走査期間に、デジタル信号を重ねて伝送し、受信装置では上記デジタル信号をサンプリグして画像メモリに蓄積し、画像表示する文字放送システムが開発されている。この文字放送システムにおいては、デジタル信号の先頭位置に '1010.....10' の16ビットのクロックランイン信号CRSを設けて伝送し、このクロックランイン信号CRSをデータサンプリ

グの為の基準位相信号としている。従って、受信装置では上記クロックランイン信号CRSに位相同期したサンプリングクロックSASを再生し、これによりデジタルデータのサンプリング処理を行なっている。

以下、図面を参照して従来のサンプリングクロック再生回路について説明する。

従来のサンプリングクロック再生回路を示す第7図において、端子71にはゲート信号GSが入力される。このゲート信号GSは、クロックランイン信号CRSの一部の位置に同期して発生されるもので、例えば水平同期信号を遅延して作られる。端子72には映像検波したビデオ信号を所定レベルでスライスしたデジタル信号が加えられ、ここにクロックランイン信号CRSが現われる。また端子73には、サンプリングクロックSASよりも充分周波数の高いクロック信号CKSが与えられる。ゲート信号GS及びクロックランイン信号CRSはアンドゲート74に入力され、分周回路75に対するリセット信号RSを発生する。クロック信

号CKSは分周回路75で分周され、サンプリングクロックSASとして出力端子76に現われる。

第8図に示す上記再生回路のタイミングチャートにおいて、時刻 t_1 からリセット信号RS(第8図d)によって分周回路75はリセット状態となっている。このリセット状態は、時刻 t_2 でリセット信号RSの立下り、即ちクロックランイン信号CRS(第8図b)の立下りによって解除され、次の最初のクロック信号CKS(第8図a)の立上りである時刻 t_3 から分周回路75は分周動作を開始する。ここで、クロック信号CKSとして、サンプリングクロックSAS(第8図c)の4倍の周波数のクロックを用いているので、分周回路75の分周比は4に設定する。従って、端子76にはクロックランイン信号CRSの立下りエッジを基準としたサンプリングクロックSASを得ることができる。時刻 t_{s1}, t_{s2}, \dots はサンプリングのタイミングを示している。

上述の動作説明は、クロックランインビデオ信号が正常であり理想的な波形をしている場合につ

いてであるが、実際には、クロックランインビデオ信号は送信装置、伝送経路、受信装置の周波数特性のバラツキの影響等で、減衰してしまう場合がある。以下、この場合の動作を第9図及び第10図を参照して説明する。

第10図(a)に実線で示すように、理想的な波形をしているクロックランインビデオ信号CRSを所定のスライスレベルでスライスすると、デューティ比50%のクロックランイン信号CRS(第10図b)が与えられる。ところが、破線図示の減衰したクロックランインビデオ信号CRS'(第10図c)の場合はデューティ比が変化し、第10図(c)に示すようにデューティ比が50%でないクロックランイン信号CRS'になってしまう。このデューティ比が変動したクロックランイン信号CRS'によりクロック再生を行なうと第9図に示すようになる。即ち、クロックランイン信号CRS'(第9図b)の立下りエッジによって同期をとっているため、クロックランイン信号CRS'の波形の中心の位相が同じでも、デューティ比が変化して立

下りエッジの位置(時刻 t_2)が変化すると、サンプリングクロックSASの位相が乱されてしまう。

また、ビデオ信号をスライスするスライスレベルが最適でない場合にもデューティ比の変動が発生し、上述したサンプリングクロックSASの位相が変化する欠点があった。

(発明の目的)

本発明の目的は、クロックランイン信号の様なサンプリング同期用の信号のデューティ比が変動しても、サンプリング位相の正確なクロックを再生可能なサンプリングクロック再生回路を提供することにある。

(発明の概要)

この発明では、例えば第1図に示すように、サンプリング回路11によってクロックランイン信号CRSの一周期を夫々位相の異なる複数のクロックCK0~CK7で夫々複数ビットサンプリングし、この複数ビットのサンプリングデータにより位相検出回路12が上記複数のクロック位相に対する上記クロックランイン信号CRSの極性状態を検出

特開昭61-144181(4)

Q出力は'0'となるがフリップフロップFF11のQ出力(第5図1)は'1'となる、従って、フリップフロップAN1の出力(第5図1)は'1'となる。このように、各フリップフロップAN0~AN1からは、クロックCK0~CK1のタイミングでクロックイン信号C R8が極性を'1'から'0'へ反転したことが検出される毎に、ハイレベルのバースが出される。

上記各フリップフロップAN0~AN7の出力は、積分回路13を構成するカウンタ130~137のイネーブル端子に夫々入力される。カウンタ130~137はクロックライン信号C R8に同期したリセットバースR8にリセットされ、イネーブル端子がハイレベルのとき夫々クロックCK0~CK7を計数する。このように、各カウンタ130~137は動作することによって、正しく極性反転している位相位置のカウントが所定の値に達し、このときオプティコR0~OR7が検出する。

上記動作を第5図を参照して説明する。まず、クロックCK0によってサンプリングした場合には

クロックCK1~CK6の位相に対するクロックライン信号C R8の極性である'10'を入力情報とし、第5図に示すタイミングチャートにおいて、クローックライン信号C R8(第5図a)はフェーズ一比が変動しているで、クロックライン信号C R8の2倍の周波数を有するクロックCK0(第5図b)の立上りであるタイミング1.1, 1.2, 1.5, 1.7, 1.9でサンプリングしても、サンプリング値は'00'しか得られない。即ち、シフトレジスタSR0の1ビット目の出力であるフリップフロップFF00のQ出力(第5図c)及び2ビット目の出力であるフリップフロップFF01のQ出力(第5図d)は常に'0'となるで、フリップフロップAN0の出力(第5図e)は常に'0'となる。一方クロックCK0とは1周期Tの $1/8$ だけ位相の異なるクロックCK1(第5図g)の立上りタイミング1.2でサンプリングすると、フリップフロップFF10のQ出力(第5図h)は'1'となり、半周期後のタイミング1.4ではフリップフロップFF10の

入力される。ここでは、予め設定したチータンネルによって入力チータを選択チータに変換する。この場合、選択チータのビットD0~D7のうちどれか1つのビットが'1'で、その他は'0'となるように変換される。この選択チータのビットD0~D7は、夫々クロック選択回路15のフリップフロップ150~157の各一方の入力端子に入力される。このフリップフロップ150~157の各他方入力端子には、上記クロックCK0~CK7が夫々入力されている。従って、上記選択チータによって指定された位相位置のクロックがオプティコ158を介してサンプリングクロックS A8として導出されることになる。

ここで、最速位相判定回路14では、例えば第6図に示すような変換チータンネルを利用して選択チータを発生する。即ち、オプティコR0~OR7からの位相情報をフリップ入力A0~A7とし、選択チータD0~D7を出力する。第3図aに示すクロックライン信号C R8の場合、例61のように四角の形で固む位相に対応したクロック、即ちクロ

上述のようにフリップフロップAN0の出力は常に'0'であるため、カウンタ130は常にチクスイネーブルとなっており、計数値(第5図1)は'0'のままである。一方、クロックCK1によってサンプリングした場合には、タイミング1.4から1.6までフリップフロップAN1の出力は'1'なので、この期間カウンタ131はイネーブルになっており、第5図kに示すようにタイミング1.6でクロックCK1の立上りによってイネーブルがリセットされる。同様に、タイミング1.10でもイネーブルがリセットされる。この実施例では、イネーブル性の雑音による影響を軽減するためカウンタ130~137の計数値が'2'以上にないとき、オプティコR0~OR7から積分出力がなされるよう設定している。オプティコR0~OR7から積分出力がなされるよう設定している。

このオプティコR0~OR7の出力全体を見れば、クロックライン信号C R8の極性状態を見るとオプティコR0~OR7の出力は、ROMで構成される最速位相判定回路14のフリップ入力A0~A7

する。この穩性状態を用いて最適位相判定回路14がサンプリングクロックの最適位相を決定し、この最適位相を有するクロック信号をクロック選択回路15が上記複数のクロックの内から選択して、サンプリングクロックSASとすることによって、

(3) 時間 61-144181

クCK4(第5図1)をサンプリングクロックSASとして選択する。これは、中間の位相位置を選択するほうが、最適位相を得る確率が高いからである。例62の場合は、減衰が激しくデューティ比が著しく変動したことを意味している。また、例63の場合は、雑音等の影響により分布状態が広がっているため、その位相での極性変化はないが例61の場合と同様に中間の位相位置を選択している。

以上説明した選択データの設定は、原則として半周期で極性が反転し、その極性反転した位相の分布のうち、中間の位相位置を選択するように行なえばよい。

以上説明したように、本実施例によれば、クロックランイン信号のCRSの極性変化を複数の位相位置で夫々検出し、その位相分布データから最適な位相位置を決定している。従って、周波数特性のパラッキ等によりクロックランイン信号CRSのデューティ比が50%でない場合でも、サンプリング位相の正確なクロック再生を行なうことができる。さらに、この実施例では積分回路13によ

って、検出回数を積分して出力しているため、インパルス性雑音等の影響によりサンプリングクロックの位相が変化することがなく、安定したサンプリングクロック位相を提供することができる。

なお、本発明は文字放送システムに限定されるものではなく、データに先立って伝送されるサンプリング同期用のクロック信号を受信し、このクロック信号に同期したサンプリングクロックを再生するシステムに適用できるものである。また、位相検出回路12は極性が'1'から'0'に変化することを検出していたが、'0'から'1'に変化することを検出してもよい。さらにまた、サンプリング回路11は1周期を2ビットサンプリングしたがこれに限定されるものではない。

〔発明の効果〕

本発明によれば、クロックランイン信号の極性変化を複数の位相位置で夫々検出し、その位相分布データから最適な位相位置を決定しているためクロックランイン信号のデューティ比が50%でない場合にも正確な位相のサンプリングクロック

を再生することができる。

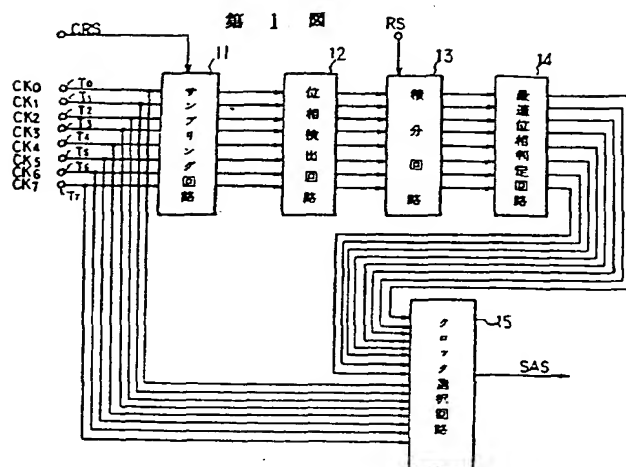
4. 図面の簡単な説明

第1図は本発明のサンプリングクロック再生回路に係る一実施例の概要を示すブロック図、第2図は第1図に示す回路に与えられるクロック信号波形図、第3図は実施例のサンプリング動作を説明する説明図、第4図は実施例の詳細を示す回路図、第5図は実施例の各部の動作を説明するタイミングチャート、第6図は実施例の最適位相判定回路のデータ変換テーブルの構成図、第7図は従来のサンプリングクロック再生回路を示す回路図、第8図及び第9図は第1図の各部の動作を示すタイミングチャート、第10図はクロックランイン信号を示す波形図である。

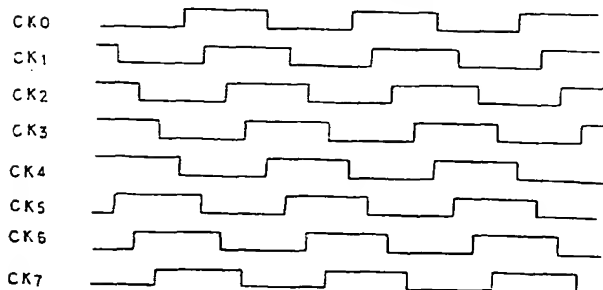
11…サンプリング回路、12…位相検出回路、

14…最適位相判定回路、15…クロック選択回路。

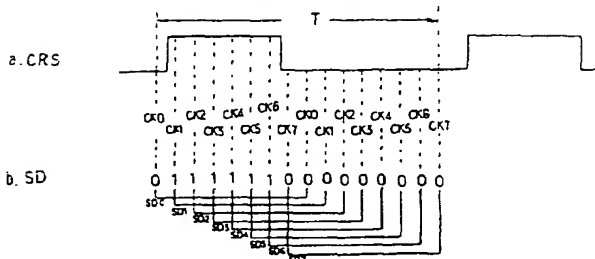
代理人 弁理士 則 近 藤 佑
(姓 名)



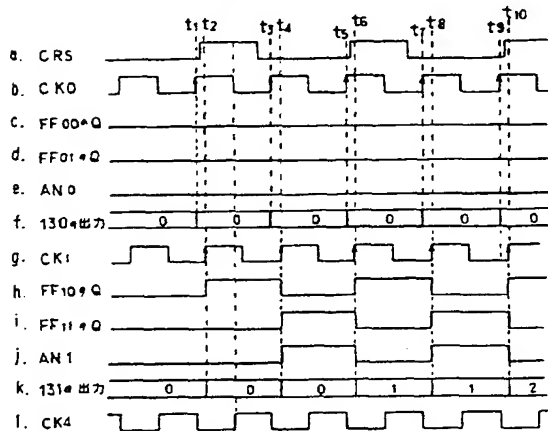
第 2 図



第 3 図



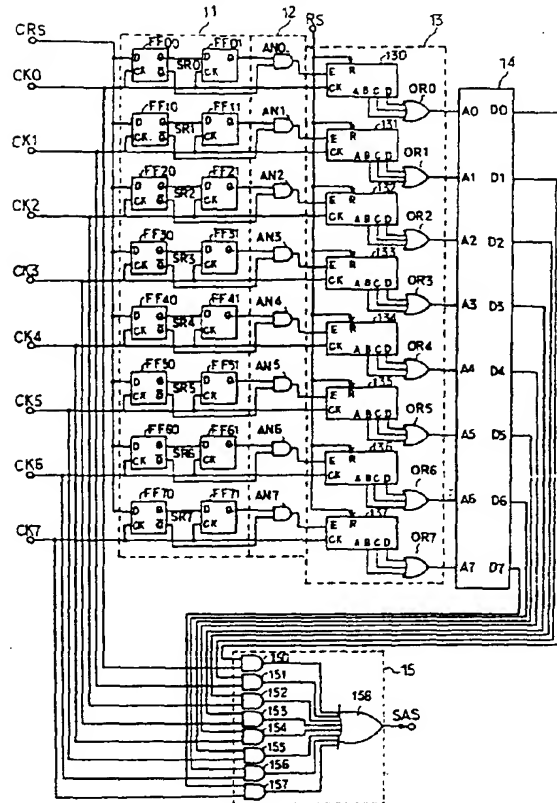
第 5 図



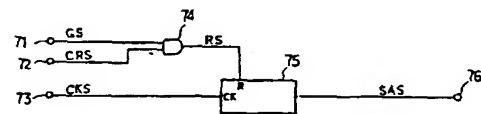
第 6 図

アドレス (2進)	データ (16進)
A7 A6 A5 A4 A3 A2 A1 A0	D7 D6 D5 D4
0 1 1 1 1 0 1 1	2 0
0 1 1 1 1 1 0 0	1 0
0 1 1 1 1 1 0 1	1 0
0 1 1 1 1 1 1 0	1 0
0 1 1 1 1 1 1 1	0 8
1 0 0 0 0 0 0 0	8 0
1 0 0 0 0 0 0 1	0 1
1 0 0 0 0 0 1 0	0 1
1 0 0 0 0 0 1 1	0 1
1 0 0 0 0 1 0 0	0 2
1 0 0 0 0 1 0 1	0 1
1 0 0 0 0 1 1 0	0 2
1 0 0 0 0 1 1 1	0 2
1 0 0 0 1 0 0 0	0 8
1 0 0 0 1 0 0 1	0 1
1 0 0 0 1 0 1 0	0 2

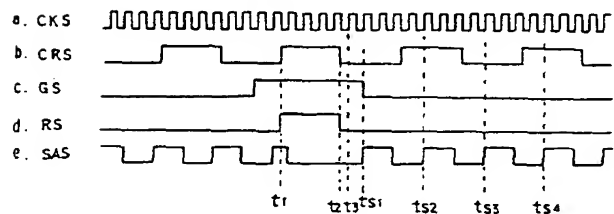
第 4 図



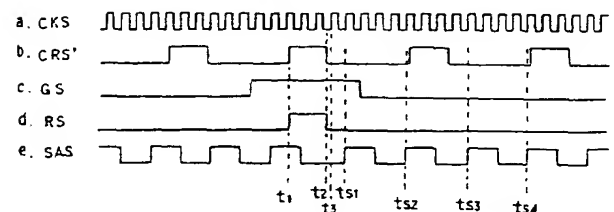
第 7 図



第 8 図



第 9 図



第10図

